

中華民國專利公報 (19)(12)

(11)公告編號: 354395

(44)中華民國88年(1999)03月11日

(51)Int. Cl. 5: 006F3/00

發明

全 3 頁

第 90114016 號
初審 (新穎) 引証附件
再審

(54)名 稱: 匯流排介面同步系統

(21)申請案號: 84105329

(22)申請日期: 中華民國84年(1995)05月26日

(72)發明人:

莫亞楠

黃世忠

台北市士林區中山北路七段十四巷六十五弄六號

新竹市竹光路七十八巷七弄十六號四樓

(71)申請人:

聯華電子股份有限公司

新竹市科學工業園區工業東三路三號

(74)代理人: 蔡坤財 先生

1

2

[57]申請專利範圍:

1. 一種匯流排介面同步系統, 係用以使系統時脈與中央處理器內部時脈同步, 該系統包含:
同步裝置, 係用以輸入與系統時脈同步之輸入信號與系統時脈信號與中央處理器內部時脈信號, 並將與系統時脈同步之輸入信號轉為與中央處理器內部時脈信號同步之第一信號輸出之
邏輯處理裝置, 係用以輸入來自同步裝置所輸出之與中央處理器內部時脈信號同步之信號與輸入其它和中央處理器內部時脈信號同步之信號, 並做邏輯處理; 及
該中央處理器內部時脈信號為系統時脈信號的 M 倍或 $N \cdot 5$ 倍, M 與 N 均為自然數。
2. 如申請專利範圍第 1 項之系統, 其中上述之同步裝置包含:
一門鎖裝置, 係用以輸入上述之與系統時脈同步之輸入信號及以系統時脈信號輸入時脈輸入端, 並輸出一第二信號;
一閃控信號產生裝置, 係用以產生閃控信號;
一多工裝置, 係用以輸入第二信號與一經回授之第一信號, 並以閃控信號輸入多工裝置之選擇控制端以輸出第三信號;
一正反器裝置, 係用以輸入第三信號, 並以中央處理器內部時脈信號輸入時脈輸入端以輸出上述之與中央處理器內部時脈信號同步之第一信號。
3. 如申請專利範圍第 2 項之系統, 其中輸入上述之門鎖裝置時脈輸入端之系統時脈信號為反相信號。
4. 如申請專利範圍第 2 項之系統, 其中上述之多工裝置在閃控信號為高態時選擇第二信號輸出與在閃控信號為低態時選擇經回授之第一信號輸出。
5. 如申請專利範圍第 4 項之系統, 其中上述之正反器裝置為邊緣觸發正反器。

6.如申請專利範圍第2項之系統，其中當中央處理器內部時脈信號為系統時脈信號之 $N \cdot 5$ 倍時，第 X 及 $X + 1$ 個閃控信號產生在 $[(X - 1)(2N + 1) + N + 1]$ ，及 $[(X - 1)(2N + 1) + 2N + 1]$ 個中央處理器內部時脈信號處。

7.如申請專利範圍第2項之系統，其中當中央處理器內部時脈信號為系統時脈信號之 M 倍時，與隔 M 個中央處理器內部時脈信號產生一個閃控信號。

8.如申請專利範圍第2項之系統，其中上

述之閃控信號之波形寬度為一個中央處理器內部時脈信號之寬度。

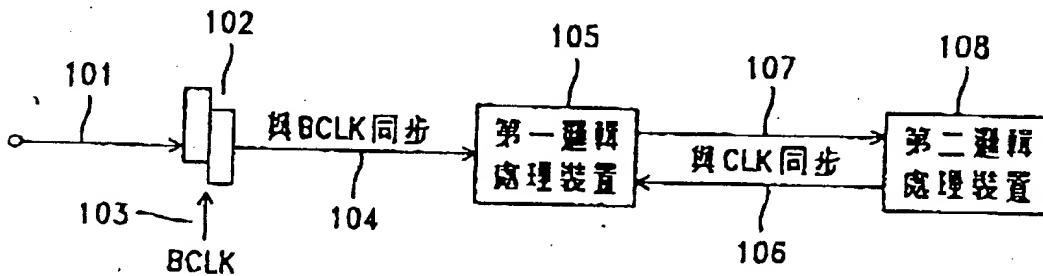
圖式簡單說明：

第一圖為傳統匯流排介面。

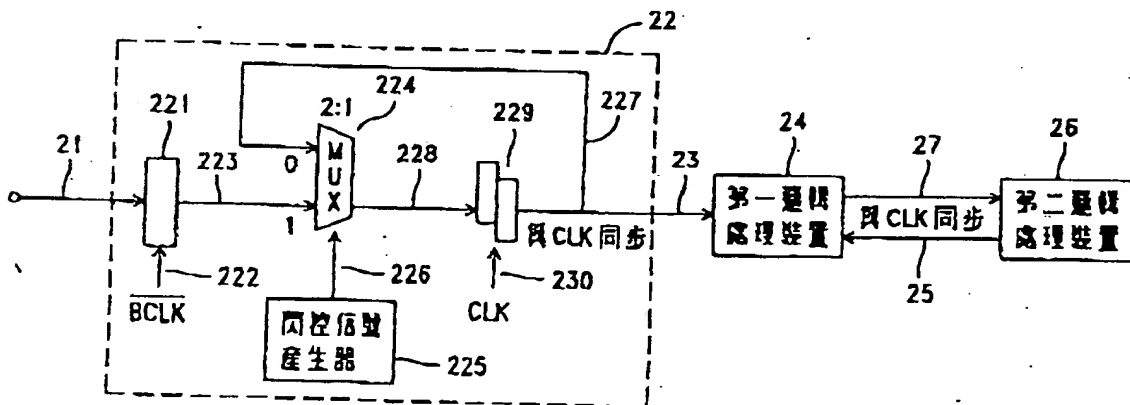
第二圖為本發明匯流排介面同步系統之功能方塊說明圖。

第三圖為本發明中同步裝置之一工作時序圖。

第四圖為本發明中同步裝置之另一工作時序圖。

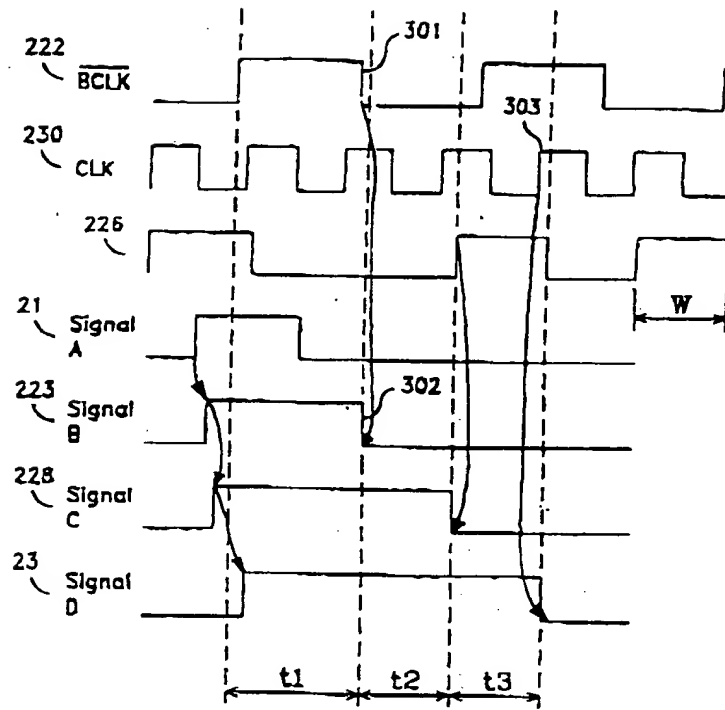


第一圖

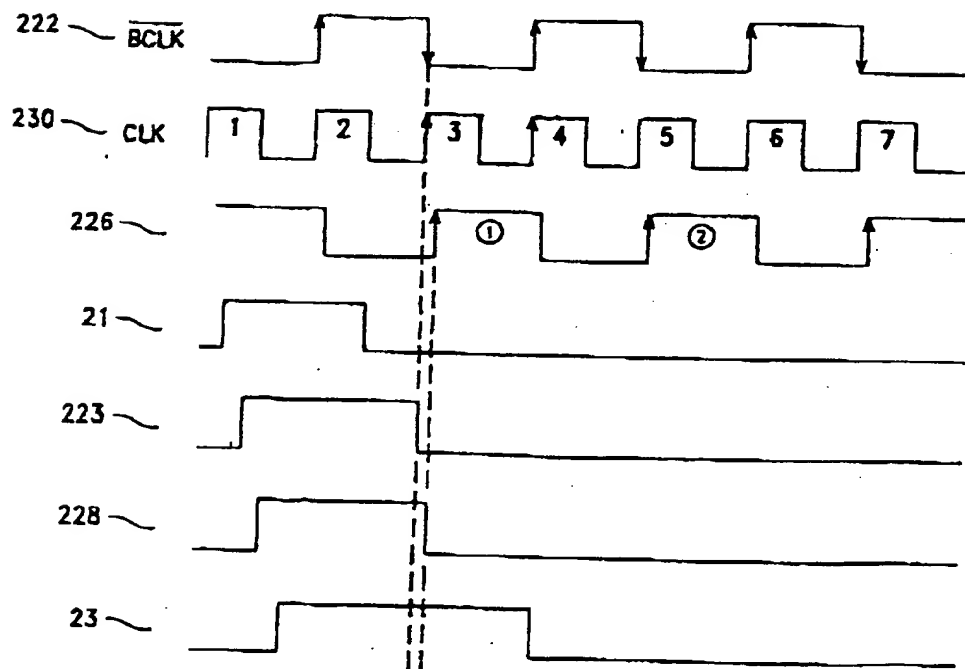


第二圖

(3)



第三圖



第四圖